



Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets ( 1 8. 03. 04 )

REC'D 08 APR 2004

WIPO

PCT

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-  
gen stimmen mit der  
ursprünglich eingereichten  
Fassung der auf dem näch-  
sten Blatt bezeichneten  
europäischen Patentanmel-  
dung überein.

The attached documents  
are exact copies of the  
European patent application  
described on the following  
page, as originally filed.

Les documents fixés à  
cette attestation sont  
conformes à la version  
initialement déposée de  
la demande de brevet  
européen spécifiée à la  
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03100720.6

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

R.C. van Dijk



Anmeldung Nr:  
Application no.: 03100720.6  
Demande no:

Anmeldetag:  
Date of filing: 20.03.03  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Philips Corporate Intellectual Property GmbH  
Habsburgerallee 11  
52064 Aachen  
ALLEMAGNE  
Koninklijke Philips Electronics N.V.  
Groenewoudseweg 1  
5621 BA Eindhoven  
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se référer à la description.)

Schaltungsanordnung und Verfahren zum Regeln von Transistoren

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

H03H11/00

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL  
PT SE SI SK TR LI

## BESCHREIBUNG

### Schaltungsanordnung und Verfahren zum Regeln von Transistoren

Die vorliegende Erfindung betrifft allgemein das technische Gebiet der elektrischen oder elektronischen Schaltungsanordnungen, insbesondere eine Schaltungsanordnung  
5 sowie ein Verfahren zum Regeln mindestens eines Transistors, insbesondere zum Regeln des Widerstandswerts mindestens eines MOS-Transistors mit verschwindender Gleichstromaussteuerung.

In der Druckschrift EP 0 957 635 A2 ist die Regelung eines Filters mithilfe einer  
10 Referenzfrequenz und eines Referenzfilters beschrieben. Im speziellen ist in der Druckschrift EP 0 957 635 A2 eine Filterschaltung zum Filtern mindestens eines Tonträgers in einem Composite-Video-Signal mittels mindestens eines Signalfilters offenbart, das mindestens eine Filterfrequenz aufweist, die in Abhängigkeit des Steuersignals einstellbar ist.

15 Die Filterschaltung gemäß der Druckschrift EP 0 957 635 A2 weist ein Referenzfilter auf, dessen Filterfrequenz in Abhängigkeit vom Steuersignal einstellbar ist und das beim Abstimmen der Filterfrequenz auf die Frequenz eines ihm zugeführten Referenzsignals dieses Referenzsignal bezüglich seiner Phase um einen definierten  
20 Wert dreht; des weiteren ist ein Phasenkomparator vorgesehen, dem das Ausgangssignal des Referenzfilters und das Referenzsignal zugeführt werden.

Aus dem Ausgangssignal des Phasenkomparators wird nun das Steuersignal in der Weise abgeleitet, dass das Referenzfilter auf die Frequenz des Referenzsignals  
25 abgestimmt wird; als Referenzsignal wird ein Ausgangssignal eines gesteuerten Oszillators eines Phasenregelkreises eingesetzt, der der Demodulation eines dem Tonträger aufmodulierten Tonsignals dient und dessen gesteuerter Oszillator im gerasteten Zustand des Phasenregelkreises ein Ausgangssignal mit der Frequenz des Tonträgers liefert.

- Des weiteren ist aus dem Stand der Technik die Möglichkeit einer Regelung mit externem Widerstand und mit Gleichspannung (sogenannte D[irect]C[urrent]-Spannung) bekannt. Hierbei werden zwei gleiche Ströme durch den externen Widerstand und durch einen integrierten Referenz-M[etal] O[xide] S[emiconductor] T[ransistor] geleitet. Die Spannungsabfälle über dem externen Widerstand und über dem integrierten Referenz-MOS-Transistor werden mit einem Komparatorglied verglichen, dessen Ausgangsspannung auf einem Kondensatorglied gespeichert und als Regelspannung dem Gate, des Referenz-MOS-Transistors zugeführt wird.
- 5
- 10 Bei dieser Art der Regelung mit externem Widerstand und mit DC-Spannung ist der eingeschwungene, stabile Arbeitspunkt erreicht, wenn der MOS-Transistor den gleichen Widerstandswert wie der Referenzwiderstand aufweist und damit die Spannungsabfälle über dem externen Widerstand und über dem internen MOS-Transistor gleich sind. Die Regelspannung wird gleichzeitig allen weiteren baugleichen mitzuregelnden MOS-
- 15 Transistoren zugeführt.

- Weicht nun der eigentliche Betriebszustand der mitzuregelnden MOS-Transistoren von dem des geregelten Referenz-MOS-Transistors ab, zum Beispiel in Form einer verschwindenden DC-Spannung über nur einem der MOS-Transistoren, so stellt sich
- 20 eine unerwünschte und nachteilige Regelabweichung ein.

- Ausgehend von den vorstehend dargelegten Nachteilen und Unzulänglichkeiten sowie unter Würdigung des umrissenen Standes der Technik liegt der vorliegenden Erfindung die Aufgabe zugrunde, eine Schaltungsanordnung der eingangs genannten Art sowie ein
- 25 dieser Schaltungsanordnung zugeordnetes Verfahren der eingangs genannten Art so weiterzubilden, dass ein Ausregeln von Widerstandsstreuungen ohne Regelabweichung auch für den Fall möglich ist, dass der MOS-Transistor mit einer verschwindenden Gleichspannung, das heißt mit einer D[irect]C[urrent]-Spannung Null betrieben wird, und zwar ohne Zuhilfenahme einer Referenzfrequenz.

- Diese Aufgabe wird durch eine elektrische oder elektronische Schaltungsanordnung mit den im Anspruch 1 angegebenen Merkmalen sowie durch ein Verfahren mit den im Anspruch 6 angegebenen Merkmalen gelöst. Vorteilhafte Ausgestaltungen und zweckmäßige Weiterbildungen der vorliegenden Erfindung sind in den jeweiligen
- 5 Unteransprüchen gekennzeichnet.

- Gemäß der Lehre der vorliegenden Erfindung wird mithin ein völlig neuartiger Ansatz für eine verbesserte Widerstandsregelung mindestens eines MOS-Transistors, dessen D[irect]C[urrent]-Aussteuerung gleich Null ist, zur Verfügung gestellt. In diesem
- 10 Zusammenhang beruht die vorliegende Erfindung darauf, den Referenzzweig ein zweites Mal aufzubauen; durch dementsprechenden Einsatz zweier Referenztransistoren mit jeweils einer positiven und einer gleichgroßen negativen Ablage vom Arbeitspunkt und durch deren Mittelung wird eine Annäherung an den gewünschten Arbeitspunkt realisiert, wobei das Prinzip gemäß der vorliegenden Erfindung im übertragenen Sinne
- 15 dem Ersetzen der Tangente an einer gekrümmten Kennlinie durch die Sekante entspricht.

- Die Schaltungsanordnung gemäß der vorliegenden Erfindung sowie das Verfahren gemäß der vorliegenden Erfindung folgen dem Prinzip, den Widerstandswert des
- 20 mindestens einen MOS-Transistors zu regeln, der einen DC-Spannungsabfall von Null, das heißt eine verschwindende Gleichspannung aufweist, was zum Beispiel bedeutet, dass dem mindestens einen zu regelnden MOS-Transistors lediglich ein Wechselstromsignal (sogenanntes A[lternating]C[urrent]-Signal) zugeführt wird.

- 25 Zum Regeln des Widerstandswerts des mindestens einen MOS-Transistors erfolgt erfindungsgemäß ein Emulieren mit einem Gleichstrom anstelle eines Wechselstroms, wozu ein positiver Gleichspannungsabfall und ein negativer Gleichspannungsabfall über dem jeweiligen der mindestens zwei Referenz-MOS-Transistoren erzeugt werden. Sodann wird das (absolute) arithmetische Mittel berechnet und mit einem durch
- 30 mindestens ein externes Widerstandsglied bewirkten Gleichspannungsabfall verglichen.

Die bei diesem Vergleich entstehende Spannung des Komparatorglieds wird zum Regeln des MOS-Transistors oder der MOS-Transistoren verwendet.

Mit der Schaltungsanordnung gemäß der vorliegenden Erfindung sowie mit dem

- 5 Verfahren gemäß der vorliegenden Erfindung ist eine Vielzahl von Vorteilen verbunden, etwa dergestalt, dass die vorliegende Erfindung ohne Zuhilfenahme einer Referenzfrequenz ein Ausregeln von Widerstandsstreuungen ohne Regelabweichung für den Anwendungsfall ermöglicht, dass der MOS-Transistor bzw. die MOS-Transistoren mit einer verschwindenden  $D[irect]C[urrent]$ -Spannung betrieben wird bzw. werden.
- 10 Damit ist in erfindungswesentlicher Weise die Integration von steilflankigen Filtern realisierbar, deren Integration aufgrund hoher Spezifikationsanforderungen ohne Ausregelung von Streuungen nicht realisierbar wäre.

Neben der vorbeschriebenen Reduktion der Regelabweichung des mit verschwindender

- 15  $D[irect]C[urrent]$ -Spannung betriebenen MOS-Transistors sowie der vorbeschriebenen Reduktion des Streubereichs des geregelten Filters ist auch eine Reduktion des Aufwands durch Einsparen des Referenzfilters und einer Frequenzerzeugung zu bemerken, so dass das Produkt gemäß der vorliegenden Erfindung durch seine höhere Frequenzgenauigkeit sowie durch seinen geringeren Aufwand gegenüber Produkten
- 20 anderer Hersteller mehr als konkurrenzfähig ist.

Die vorliegende Erfindung betrifft des weiteren eine Filterschaltung, aufweisend mindestens eine Schaltungsanordnung gemäß der vorstehend dargelegten Art und/oder arbeitend gemäß einem Verfahren gemäß der vorstehend dargelegten Art.

25

Die vorliegende Erfindung betrifft des weiteren einen zum interaktiven Austauschen von Daten und Signalen vorgesehenen Cable Driver, insbesondere mit mindestens einer integrierten Filterschaltung gemäß der vorstehend dargelegten Art, aufweisend mindestens eine Schaltungsanordnung gemäß der vorstehend dargelegten Art und/oder

30 arbeitend gemäß einem Verfahren gemäß der vorstehend dargelegten Art.

Ein derartiger Cable Driver kommt beispielsweise in Produktfamilien für Kabelmodems (sogenannte "Cable Modems") oder für Set-Top-Boxen zum Einsatz und dient exemplarisch

- 5       - zum einen der Unterdrückung hochfrequenter Signale (--> Tiefpassfunktion des Cable Drivers), etwa der Unterdrückung von Harmonischen oder eines Spiegelsignals eines von einem vorgeschalteten Chip kommenden analogen Signals, und
- zum anderen der Abgabe eines Signals mit großer Amplitude an eine Kopfstation (--> Verstärkungsfunktion des Cable Drivers).

10

Die vorliegende Erfindung betrifft des weiteren die Verwendung mindestens einer Schaltungsanordnung gemäß der vorstehend dargelegten Art und/oder eines Verfahrens gemäß der vorstehend dargelegten Art und/oder mindestens einer Filterschaltung gemäß der vorstehend dargelegten Art und/oder mindestens eines Cable Drivers gemäß der

15 vorstehend dargelegten Art

- in mindestens einem Cable Modem und/oder
- in mindestens einer Set-Top-Box und/oder
- beim Internet via T[ele]V[ision]-Kabel.

20   Funktional handelt es sich bei Kabelmodems (sogenannte "Cable Modems") um Modems für Kabelverteilnetze, die dem Endanwender einen bidirektionalen Hochgeschwindigkeitszugang (sogenannter "high speed access") zu den entsprechenden Diensten bieten; vorgesehen bilden Kabelmodems eine Alternative zu anderen Breitbandtechnologien, wie etwa D[igital]S[ubscriber]L[ine].

25

Zur Gewährleistung der Bidirektionalität sind Kabelmodems mit Hinkanal sowie Rückkanal aufgebaut und erreichen im Downstream, vom "Head-End" hin zum Teilnehmer, eine Bandbreite im Hinkanal von beispielsweise sechs Megahertz; bei einer 64Quadraturamplitudenmodulation (= sogenannte 64Q[uadrature] A[mplitude]

30 M[odulation]) können über eine derartige Bandbreite Übertragungsgeschwindigkeiten

von etwa zehn Megabit pro Sekunde bis etwa dreißig Megabit pro Sekunde erreicht werden. Im Upstream stehen für den Rückkanal Übertragungsgeschwindigkeiten von bis zu etwa zehn Megabit pro Sekunde zur Verfügung, wobei in der Regel mit Quadraturphasenmodulation (= sogenanntes Q[uadrature]P[hase]S[hift]K[eying])  
5 gearbeitet wird.

Es gibt Kabelmodems mit symmetrischen Übertragungseigenschaften für den Hinkanal sowie Rückkanal und andere Kabelmodems mit asymmetrischen Übertragungseigenschaften. Um L[ocal]A[rea]N[etwork]-Anwendungen unmittelbar zu unterstützen,  
10 entsprechen die Transportprotokolle denen in lokalen Netzen.

Bei einer Set-Top-Box ("Draufstellkästchen") handelt es sich um ein Empfangsgerät für digitale Bilder, digitale Daten und/oder digitale Töne aller Art. Die Set-Top-Box gibt es als sogenannte "Zapping"-Box für unverschlüsselte Kanäle und zusätzlich mit  
15 C[ommon]I[n]terface]-Schnittstelle für verschlüsselte Kanäle.

Die Set-Top-Box wird dem Fernsehempfänger vorgeschaltet und dekodiert kodierte Fernsehsignale, die das Fernsehgerät nicht empfangen kann, in ein entsprechendes Standardsignal. Die Set-Top-Box kann darüber hinaus auch diverse Zusatzfunktionen  
20 übernehmen, wie etwa das Descrambling, das Entschlüsseln oder die Signaltrennung für P[ersonal]C[omputer]-orientierte Anwendungen, wie beispielsweise die Nutzung von Online-Diensten, und für interaktive Verteildienste, wie beispielsweise Pay-per-View, Teleshopping, Video-on-Demand oder dergleichen.

25 Die vorliegende Erfindung betrifft schließlich die Verwendung mindestens einer Schaltungsanordnung gemäß der vorstehend dargelegten Art und/oder eines Verfahrens gemäß der vorstehend dargelegten Art zum Regeln mindestens eines integrierten Filters ohne Referenzfrequenz, insbesondere zum Regeln mindestens eines Transistors, im speziellen zum Regeln des Widerstandswerts mindestens eines MOS-Transistors mit  
30 verschwindender Gleichstromaussteuerung.



Wie bereits vorstehend erörtert, gibt es verschiedene Möglichkeiten, die Lehre der vorliegenden Erfindung in vorteilhafter Weise auszugestalten und weiterzubilden. Hierzu wird einerseits auf die dem Anspruch 1 nachgeordneten Ansprüche verwiesen, andererseits werden weitere Ausgestaltungen, Merkmale und Vorteile der vorliegenden Erfindung nachstehend anhand des durch die Figuren 1A, 1B und 2 veranschaulichten Ausführungsbeispiels näher erläutert.

Es zeigt:

- 10 Fig. 1A in schematischer Darstellung drei Transistorkennlinien (Drain-Source-Strom  $I_{d[rain]s[ource]}$  aufgetragen gegen Drain-Source-Spannung  $U_{d[rain]s[ource]}$ ), auf denen jeweils die Gate-Source-Spannung  $U_{g[ate]s[ource]}$  konstant ist;
- 15 Fig. 1B in schematischer Darstellung drei Transistorkennlinien (Drain-Source-Strom  $I_{d[rain]s[ource]}$  aufgetragen gegen Gate-Source-Spannung  $U_{g[ate]s[ource]}$ ), auf denen jeweils die Drain-Source-Spannung  $U_{d[rain]s[ource]}$  konstant ist; und
- 20 Fig. 2 in schematischer, aus Gründen der Übersichtlichkeit sowie der Erkennbarkeit der einzelnen Ausgestaltungen, Elemente und Merkmale nicht maßstabsgerechter Darstellung ein Ausführungsbeispiel für eine elektrische oder elektronische Schaltungsanordnung gemäß der vorliegenden Erfindung, die nach dem Verfahren gemäß der
- 25 vorliegenden Erfindung arbeitet.

Gleiche oder ähnliche Ausgestaltungen, Elemente oder Merkmale sind in den Figuren 1A, 1B und 2 mit identischen Bezugszeichen versehen.

- 30 Hinsichtlich des technischen Hintergrunds der vorliegenden Erfindung sei zunächst angemerkt, daß der Kanalwiderstand ( $= U_{d[rain]s[ource]} / I_{d[rain]s[ource]}$ ) geteilt durch  $I_{d[rain]s[ource]}$ ) eines MOS-Transistors zum einen von der Gate-Source-Spannung  $U_{g[ate]s[ource]}$  und

zum anderen auch von der Drain-Source-Spannung  $U_{D[ain]S[ource]}$  abhängig ist, was der Darstellung der Figur 1A (= drei Transistorkennlinien, auf denen jeweils die Gate-Source-Spannung  $U_{G[ate]S[ource]}$  konstant ist) sowie der Darstellung der Figur 1B (= drei Transistorkennlinien, auf denen jeweils die Drain-Source-Spannung  $U_{D[ain]S[ource]}$  konstant ist) entnehmbar ist.

Wird nun ein MOS-Transistor im Filter mit einer über ihm abfallenden DC-Spannung von Null betrieben, das heißt fließt kein Gleichstrom durch den MOS-Transistor ( $\leftrightarrow$  nur Wechselstromaussteuerung), so lässt sich die konventionelle Regelung nicht ohne Regelabweichung anwenden, denn die konventionelle Regelung beruht auf einem nichtverschwindenden Gleichstrom (der Arbeitspunkt liegt auf einer gekrümmten Kennlinie; bei DC-Aussteuerung verschiebt sich der Arbeitspunkt).

Nach dieser theoretischen Einführung ist in Figur 2 ein Ausführungsbeispiel für eine Schaltungsanordnung 100 dargestellt, mittels derer der jeweilige Widerstandswert von P-MOS-FETs (= P-M[etal]O[xide]S[emiconductor]-F[ield]E[ffect]T[ransistor]s) 10, 12, 14, ..., 18, deren Gleichstromaussteuerung gleich Null ist, geregelt werden kann.

Diese Schaltungsanordnung 100 funktioniert entsprechend dem Verfahren gemäß der vorliegenden Erfindung, wobei zusätzlich zu einem ersten Referenzzweig 10, 20, 70, der den internen ersten Referenz-MOS-FET 10 mit einer ersten Ablage vom Arbeitspunkt aufweist, ein zweiter Referenzzweig 12, 30, 40, 72, 74, 76 vorgesehen ist, der den internen zweiten Referenz-MOS-FET 12 mit einer in bezug auf die erste Ablage gegengleichen zweiten Ablage vom Arbeitspunkt aufweist; zum Annähern an und Erreichen eines optimalen Arbeitspunkts wird - wie im folgenden beschrieben - eine arithmetische Mittelung aus erster Ablage und zweiter Ablage vorgenommen.

Im Detail erzeugt ein Referenzstrom  $I_{ref}$  ausgehend von einer Referenzspannung  $U_{ref}$ , mit der der Sourceanschluss 10s des internen ersten Referenz-MOS-FETs 10 sowie der Sourceanschluss 12s des internen zweiten Referenz-MOS-FETs 12 beaufschlagbar sind,

mithilfe eines externen Widerstands 78 eine Spannung  $U_r$ ; hierzu steht der externe Widerstand 78 mit dem Sourceanschluss 10s des internen ersten Referenz-MOS-FETs 10 sowie mit dem Sourceanschluss 12s des internen zweiten Referenz-MOS-FETs 12 in Verbindung.

5

Ein mit dem Referenzstrom  $I_{ref}$  gleichgroßer erster Strom  $I_1$  erzeugt mithilfe des internen ersten Referenz-MOS-FETs 10 eine gegenüber der Referenzspannung  $U_{ref}$  kleinere erste Spannung  $U_1$  am Drainanschluss 10d des internen ersten Referenz-MOS-FETs 10. Ein gleichgroßer, aber negativer zweiter Strom  $I_2$  erzeugt mithilfe des internen zweiten Referenz-MOS-FETs 12 einen gleichgroßen, jedoch entgegengesetzten Spannungsabfall und damit eine gegenüber der Referenzspannung  $U_{ref}$  größere zweite Spannung  $U_2$  am Drainanschluss 12d des internen zweiten Referenz-MOS-FETs 12.

In diesem Zusammenhang ist die Ausgestaltung, dass der zweite Strom  $I_2$  dem Referenzstrom  $I_{ref}$  sowie dem ersten Strom  $I_1$  jeweils gegengleich ist, durch die jeweilige, die technische Fließrichtung (von Plus nach Minus) angegebene Pfeilrichtung an den Bezugszeichen  $I_{ref}$ ,  $I_1$  und  $I_2$  veranschaulicht.

Die erste Spannung  $U_1$  wird nun dem Eingangsanschluss 20i eines ersten Pufferglieds 20 zugeführt und mittels dieses ersten Pufferglieds 20 gebuffert. Entsprechend wird die zweite Spannung  $U_2$  dem Eingangsanschluss 30i eines zweiten Pufferglieds 30 zugeführt und mittels dieses zweiten Pufferglieds 30 gebuffert. Im Anschluss daran wird die zweite Spannung  $U_2$  bezüglich der Referenzspannung  $U_{ref}$  mithilfe eines Operationsverstärkers 40, der als invertierender Verstärker mit der Verstärkung  $-1$  beschaltet ist, zur invertierten zweiten Spannung  $U_{2inv}$  invertiert.

Hierzu ist der Ausgangsanschluss 30o des zweiten Pufferglieds 30 über einen Widerstand 74 mit dem ersten, insbesondere negativen, Eingangsanschluss 40i1 des Operationsverstärkers 40 verbunden; der zweite, insbesondere positive, Eingangsanschluss 40i2 des Operationsverstärkers 40 steht mit dem Sourceanschluss

10s des internen ersten Referenz-MOS-FETs 10, mit dem Sourceanschluss 12s des internen zweiten Referenz-MOS-FETs 12 sowie mit dem externen Widerstand 78 in Verbindung und wird mit der Referenzspannung  $U_{ref}$  beaufschlagt.

- 5    Zusätzlich ist noch parallel zum ersten, insbesondere negativen, Eingangsanschluss 40i1 des Operationsverstärkers 40 und zum Ausgangsanschluss 40o des Operationsverstärkers 40 ein weiterer Widerstand 76 geschaltet.

- Sodann werden die gebufferte erste Spannung  $U_1$  über einen ersten Widerstand 70, der  
10    mit dem Ausgangsanschluss 20o des ersten Pufferglieds 20 verbunden ist, und die invertierte zweite Spannung  $U_{2inv}$  über einen zweiten Widerstand 72, der mit dem Ausgangsanschluss 40o des Operationsverstärkers 40 verbunden ist, gemittelt und einem insbesondere positiven Eingang 50i1 eines Komparators 50 zugeführt, an dessen anderem, insbesondere negativen, Eingang 50i2 die mithilfe des externen Widerstands  
15    78 erzeugte Spannung  $U_r$  anliegt; hierzu ist der externe Widerstand 78 mit dem zweiten, insbesondere negativen, Eingang 50i2 des Komparators 50 verbunden.

- Der Komparator 50 vergleicht die Mittelwertspannung  $U_m$  mit der durch den externen Widerstand 78 bewirkten Spannung  $U_r$  und lädt bzw. entlädt an seinem Ausgang 50o  
20    einen Kondensator 60, der nicht nur mit dem Ausgangsanschluss 50o des Komparators 50, sondern auch mit dem Gate 10g des internen ersten Referenz-MOS-FETs 10, mit dem Gate 12g des internen zweiten Referenz-MOS-FETs 12 sowie mit dem jeweiligen Gate 14g, ..., 18g aller weiteren mitzuregelnden MOS-FETs 14, ..., 18 in Verbindung steht.

- 25    Die Kondensatorspannung  $U_c$  dient als Regelspannung für die beiden Referenz-MOS-FETs 10, 12 und wird deren Gates 10g, 12g sowie den Gates 14g, ..., 18g aller weiteren mitzuregelnden MOS-FETs 14, ..., 18 zugeführt. Die Regelspannung  $U_c$  bleibt unverändert, sobald die Mittelwertspannung  $U_m$  der Spannung  $U_r$  entspricht, die  
30    mithilfe des externen Widerstands 78 erzeugt wurde.

- Bevor abschließend noch die Einsatzbereiche der vorstehend dargelegten Schaltungsanordnung 100 sowie des dieser Schaltungsanordnung 100 zugeordneten, vorstehend dargelegten Verfahrens diskutiert werden, sei im Hinblick auf die vorliegende Erfindung ergänzt, dass bei M[etal]O[xide]S[emiconductor]-F[ield]E[ffect]T[ransistor]s
- 5 die Drainanschlüsse und die Sourceanschlüsse grundsätzlich physikalisch vertauschbar sind; dies bedeutet im Falle der vorstehend dargelegten Schaltungsanordnung 100, dass die physikalische "Identität" von Drainanschluss und Sourceanschluss, das heißt die erfindungswesentliche Option,
- 10 - den Drainanschluss 10d und den Sourceanschluss 10s des internen ersten Referenz-MOS-FETs 10 physikalisch zu vertauschen und/oder
- den Drainanschluss 12d und den Sourceanschluss 12s des internen zweiten Referenz-MOS-FETs 12 physikalisch zu vertauschen,
- innerhalb der Offenbarung sowie des Schutzbereichs der vorliegenden Erfindung liegt.
- 15 Die Einsatzbereiche der vorstehend dargelegten Schaltungsanordnung 100 sowie des dieser Schaltungsanordnung 100 zugeordneten, vorstehend dargelegten Verfahrens erstrecken sich zum Beispiel auf die Regelung von integrierten Filtern ohne Referenzfrequenz; so ist die vorliegende Erfindung etwa im Cable Driver für interaktiven Daten- und Signalaustausch einsetzbar. Anwendungsgebiete eines
- 20 derartigen Cable Drivers sind unter anderem Cable Modems, Set-Top-Boxen oder das Internet via T[ele]V[ision]-Kabel, in denen dieser I[ntegrated]C[ircuit] eingesetzt wird.

BEZUGSZEICHENLISTE

- 100    Schaltungsanordnung
- 10    erster Referenztransistor, insbesondere erster M[etal]O[xide]S[emiconductor]-
- 5    F[ield]E[ffect]Transistor mit verschwindender Gleichstromaussteuerung
- 10d   Drainanschluss des ersten Referenztransistors 10
- 10g   Gateanschluss des ersten Referenztransistors 10
- 10s   Sourceanschluss des ersten Referenztransistors 10
- 12    zweiter Referenztransistor, insbesondere zweiter M[etal]O[xide]S[emicon-
- 10    ductor]-F[ield]E[ffect]Transistor mit verschwindender Gleichstromaussteuerung
- 12d   Drainanschluss des zweiten Referenztransistors 12
- 12g   Gateanschluss des zweiten Referenztransistors 12
- 12s   Sourceanschluss des zweiten Referenztransistors 12
- 14    dritter Transistor
- 15 14g   Gateanschluss des dritten Transistors 14
- 18    vierter Transistor
- 18g   Gateanschluss des vierten Transistors 18
- 20    erstes Pufferglied
- 20i   Eingangsanschluss des ersten Pufferglieds 20
- 20 20o   Ausgangsanschluss des ersten Pufferglieds 20
- 30    zweites Pufferglied
- 30i   Eingangsanschluss des zweiten Pufferglieds 30
- 30o   Ausgangsanschluss des zweiten Pufferglieds 30
- 40    Operationsverstärker, insbesondere invertierender Verstärker mit Verstärkung -1
- 25 40i1   erster, insbesondere negativer, Eingangsanschluss des Operationsverstärkers 40
- 40i2   zweiter, insbesondere positiver, Eingangsanschluss des Operationsverstärkers 40
- 40o   Ausgangsanschluss des Operationsverstärkers 40
- 50    Komparatorglied
- 50i1   erster, insbesondere positiver, Eingangsanschluss des Komparatorglieds 50
- 30 50i2   zweiter, insbesondere negativer, Eingangsanschluss des Komparatorglieds 50

- 50o Ausgangsanschluss des Komparatorglieds 50
- 60 Kondensatorglied
- 70 erster Widerstand
- 72 zweiter Widerstand
- 5 74 dritter Widerstand
- 76 vierter Widerstand
- 78 externer Widerstand
- I1 erster Strom
- I2 zweiter Strom
- 10 Ids Drain-Source-Strom
- Iref Referenzstrom
- U1 erste Spannung oder erster Spannungsabfall,  
insbesondere positiver (Gleich-)Spannungsabfall
- U2 zweite Spannung oder zweiter Spannungsabfall,  
insbesondere negativer (Gleich-)Spannungsabfall
- 15 U2inv invertierte zweite Spannung oder invertierter zweiter Spannungsabfall,  
insbesondere invertierter Gleichspannungsabfall
- Uc Spannung des Kondensatorglieds 60, insbesondere Regelspannung
- Uds Drain-Source-Spannung
- 20 Ugs Gate-Source-Spannung
- Um Mittelwertspannung, insbesondere arithmetische Mittelwertspannung
- Ur externe Spannung oder externer Spannungsabfall,  
insbesondere externer Gleichspannungsabfall
- Uref Referenzspannung

PATENTANSPRÜCHE

1. Schaltungsanordnung (100) zum Regeln mindestens eines Transistors (10, 12, 14, ..., 18), insbesondere zum Regeln des Widerstandswerts mindestens eines MOS-Transistors mit verschwindender Gleichstromaussteuerung,

dadurch gekennzeichnet,

- 5 dass zusätzlich zu mindestens einem ersten Referenzzweig (10, 20, 70), der mindestens einen ersten Referenztransistor (10) mit einer ersten Ablage vom Arbeitspunkt aufweist, mindestens ein zweiter Referenzzweig (12, 30, 40, 72, 74, 76) vorgesehen ist, der mindestens einen zweiten Referenztransistor (12) mit einer in bezug auf die erste Ablage gegengleichen zweiten Ablage vom Arbeitspunkt aufweist, wobei zum Annähern an
- 10 und Erreichen eines optimalen Arbeitspunkts eine insbesondere arithmetische Mittelung aus erster Ablage und zweiter Ablage vorgenommen werden kann.

2. Schaltungsanordnung gemäß Anspruch 1,

gekennzeichnet durch

- 15 - mindestens einen externen Widerstand (78), mittels dessen ein Referenzstrom ( $I_{ref}$ ) ausgehend von einer Referenzspannung ( $U_{ref}$ ) eine Spannung ( $U_r$ ) erzeugt,
- den ersten Referenztransistor (10), mittels dessen ein dem Referenzstrom ( $I_{ref}$ ) betragsmäßig und im Vorzeichen entsprechender erster Strom ( $I_1$ ) eine erste
- 20 Spannung ( $U_1$ ) erzeugt,
- mindestens ein dem Drainanschluss (10d) des ersten Referenztransistors (10) oder dem Sourceanschluss (10s) des ersten Referenztransistors (10) nachgeschaltetes erstes Pufferglied (20),
- mindestens ein dem Ausgangsanschluss (20o) des ersten Pufferglieds (20)



- nachgeschalteter erster Widerstand (70),
- mindestens einen zweiten Referenztransistor (12), mittels dessen ein dem ersten Strom (I1) gegengleicher zweiter Strom (I2) eine zweite Spannung (U2) erzeugt,
  - mindestens ein dem Drainanschluss (12d) des zweiten Referenztransistors (12) bzw. dem Sourceanschluss (12s) des zweiten Referenztransistors (12) nachgeschaltetes zweites Pufferglied (30),
  - mindestens einen Operationsverstärker (40), insbesondere invertierenden Verstärker mit Verstärkung -1,
    - o dessen erster, insbesondere negativer, Eingangsanschluss (40i1) dem Ausgangsanschluss (30o) des zweiten Pufferglieds (30) nachgeschaltet ist und
    - o dessen zweiter, insbesondere positiver, Eingangsanschluss (40i2) mit der Referenzspannung (Uref) beaufschlagbar ist,
  - wobei die zweite Spannung (U2) bezüglich der Referenzspannung (Uref) zu einer invertierten zweiten Spannung (U2inv) invertierbar ist,
  - mindestens ein dem Ausgangsanschluss (40o) des Operationsverstärkers (40) nachgeschalteter zweiter Widerstand (72),
  - mindestens ein Komparatorglied (50),
    - o dessen erster, insbesondere positiver, Eingangsanschluss (50i1) dem ersten Widerstand (70) und dem zweiten Widerstand (72) nachgeschaltet ist, um diesen ersten Eingangsanschluss (50i1) des Komparatorglieds (50) mit einer über den ersten Widerstand (70) und über den zweiten Widerstand (72) gemittelten Mittelwertspannung (Um) zu beaufschlagen, und
    - o dessen zweiter, insbesondere negativer, Eingangsanschluss (50i2) mit der mittels des externen Widerstands (78) erzeugten Spannung (Ur) beaufschlagbar ist,
  - mindestens ein dem Ausgangsanschluss (50o) des Komparatorglieds (50) nachgeschaltetes Kondensatorglied (60), das vom Komparatorglied (50) in

Abhängigkeit vom Ergebnis des Vergleichs zwischen Mittelwertspannung ( $U_m$ ) und mittels des externen Widerstands (78) erzeugter Spannung ( $U_r$ ) ladbar bzw. entladbar ist,

- 5       - wobei das jeweilige Gate (10g, 12g, 14g, ..., 18g) des ersten Referenztransistors (10), des zweiten Referenztransistors (12) sowie gegebenenfalls aller weiteren zu regelnden Transistoren (14, ..., 18) mit der als Regelspannung fungierenden Spannung ( $U_c$ ) des Kondensatorglieds (60) beaufschlagbar ist und/oder
- 10       - wobei der der Regelspannung ( $U_c$ ) entsprechende optimale Arbeitspunkt erreicht ist, wenn die Mittelwertspannung ( $U_m$ ) der mittels des externen Widerstands (78) erzeugten Spannung ( $U_r$ ) entspricht.

3. Schaltungsanordnung gemäß Anspruch 2,

dadurch gekennzeichnet,

dass

- 15       - der Sourceanschluss (10s) des ersten Referenztransistors (10) bzw. der Drainanschluss (10d) des ersten Referenztransistors (10) und
- der Sourceanschluss (12s) des zweiten Referenztransistors (12) bzw. der Drainanschluss (12d) des zweiten Referenztransistors (12)
- mit der Referenzspannung ( $U_{ref}$ ) beaufschlagbar sind.

20

4. Schaltungsanordnung gemäß Anspruch 2 oder 3,

dadurch gekennzeichnet,

- dass die erste Spannung ( $U_1$ ) kleiner als die Referenzspannung ( $U_{ref}$ ) ist und/oder
- 25       - dass die zweite Spannung ( $U_2$ ) größer als die Referenzspannung ( $U_{ref}$ ) ist.

5. Schaltungsanordnung gemäß mindestens einem der Ansprüche 2 bis 4,

dadurch gekennzeichnet,

- 30       - dass zwischen dem Ausgangsanschluss (30o) des zweiten Pufferglieds (30) und dem ersten, insbesondere negativen, Eingangsanschluss (40i1) des Operations-

verstärkers (40) mindestens ein dritter Widerstand (74) geschaltet ist und/oder

- dass parallel zum ersten, insbesondere negativen, Eingangsanschluss (40i1) des Operationsverstärkers (40) und zum Ausgangsanschluss (40o) des Operationsverstärkers (40) mindestens ein vierter Widerstand (76) geschaltet ist.

5

6. Verfahren zum Regeln mindestens eines Transistors (10, 12, 14, ..., 18), insbesondere zum Regeln des Widerstandswerts mindestens eines MOS-Transistors mit verschwindender Gleichstromaussteuerung,

dadurch gekennzeichnet,

- 10     - dass mittels eines ersten Referenztransistors (10) ein positiver Spannungsabfall ( $U_1$ ), insbesondere positiver Gleichspannungsabfall, erzeugt wird,
- dass mittels eines zweiten Referenztransistors (12) ein negativer Spannungsabfall ( $U_2$ ), insbesondere negativer Gleichspannungsabfall, erzeugt wird,
- 15     - dass der negative Spannungsabfall ( $U_2$ ) zu einem invertierten Spannungsabfall ( $U_{2inv}$ ) invertiert wird,
- dass eine insbesondere arithmetische Mittelwertspannung ( $U_m$ ) aus positivem Spannungsabfall ( $U_1$ ) und invertiertem Spannungsabfall ( $U_{2inv}$ ) gebildet und mit einem extern bewirkten Spannungsabfall ( $U_r$ ), insbesondere extern
- 20     bewirkten Gleichspannungsabfall, verglichen wird und
- dass der erste Referenztransistor (10), der zweite Referenztransistor (12) sowie gegebenenfalls alle weiteren zu regelnden Transistoren (14, ..., 18) mittels der durch das Vergleichen von Mittelwertspannung ( $U_m$ ) und extern bewirktem Spannungsabfall ( $U_r$ ) gebildeten Regelspannung ( $U_c$ ) geregelt werden.

25

7. Filterschaltung, aufweisend mindestens eine Schaltungsanordnung (100) gemäß mindestens einem der Ansprüche 1 bis 5 und/oder arbeitend gemäß einem Verfahren gemäß Anspruch 6.

8. Zum interaktiven Austauschen von Daten und Signalen vorgesehener Cable Driver, insbesondere mit mindestens einer integrierten Filterschaltung gemäß Anspruch 7,
- 5       - aufweisend mindestens eine Schaltungsanordnung (100) gemäß mindestens einem der Ansprüche 1 bis 5 und/oder
- arbeitend gemäß einem Verfahren gemäß Anspruch 6.
9. Verwendung mindestens einer Schaltungsanordnung (100) gemäß mindestens einem
- 10      der Ansprüche 1 bis 5 und/oder eines Verfahrens gemäß Anspruch 6 und/oder mindestens einer Filterschaltung gemäß Anspruch 7 und/oder mindestens eines Cable Drivers gemäß Anspruch 8
- in mindestens einem Cable Modem und/oder
- in mindestens einer Set-Top-Box und/oder
- 15      - beim Internet via T[ele]V[ision]-Kabel.
10. Verwendung mindestens einer Schaltungsanordnung (100) gemäß mindestens einem der Ansprüche 1 bis 5 und/oder eines Verfahrens gemäß Anspruch 6 zum Regeln , mindestens eines integrierten Filters ohne Referenzfrequenz, insbesondere zum Regeln
- 20      mindestens eines Transistors (10, 12, 14, ..., 18), im speziellen zum Regeln des Widerstandswerts mindestens eines MOS-Transistors mit verschwindender Gleichstromaussteuerung.

## ZUSAMMENFASSUNG

### Schaltungsanordnung und Verfahren zum Regeln von Transistoren

- Um eine Schaltungsanordnung (100) sowie ein Verfahren zum Regeln mindestens eines Transistors (10, 12, 14, ..., 18), insbesondere zum Regeln des Widerstandswerts
- 5 mindestens eines MOS-Transistors mit verschwindender Gleichstromaussteuerung, so weiterzubilden, dass ein Ausregeln von Widerstandsstreuungen ohne Regelabweichung auch für den Fall möglich ist, dass der Transistor (10, 12, 14, ..., 18) mit einer verschwindenden Gleichspannung, das heißt mit einer D[irect]C[urrent]-Spannung Null betrieben wird, und zwar ohne Zuhilfenahme einer Referenzfrequenz, wird
- 10 vorgeschlagen, dass zusätzlich zu mindestens einem ersten Referenzzweig (10, 20, 70), der mindestens einen ersten Referenztransistor (10) mit einer ersten Ablage vom Arbeitspunkt aufweist, mindestens ein zweiter Referenzzweig (12, 30, 40, 72, 74, 76) vorgesehen ist, der mindestens einen zweiten Referenztransistor (12) mit einer in bezug auf die erste Ablage gegengleichen zweiten Ablage vom Arbeitspunkt aufweist, wobei
- 15 zum Annähern an und Erreichen eines optimalen Arbeitspunkts eine insbesondere arithmetische Mittelung aus erster Ablage und zweiter Ablage vorgenommen werden kann.

Fig. 2

1 / 2

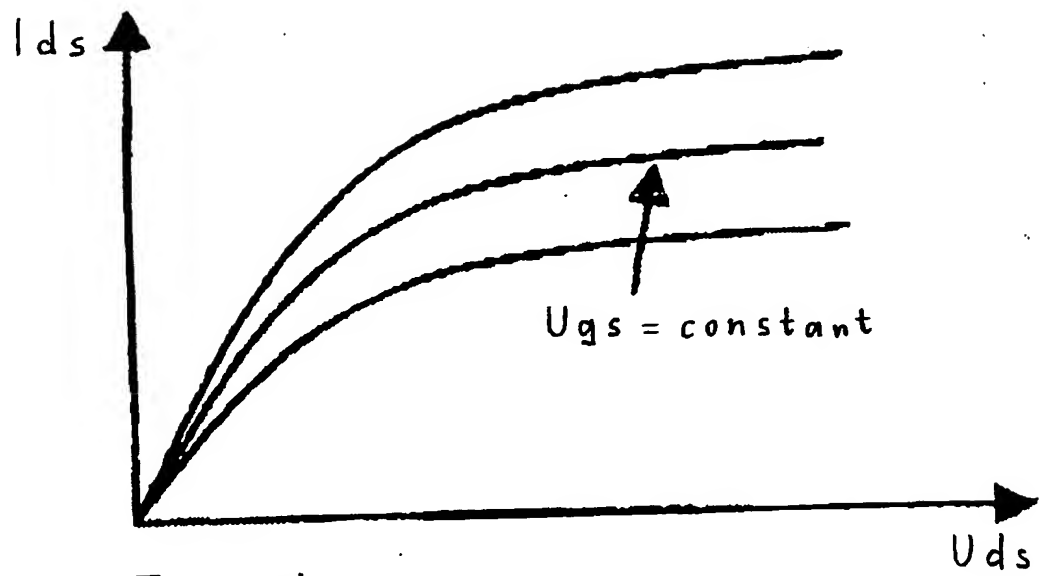


Fig. 1 A

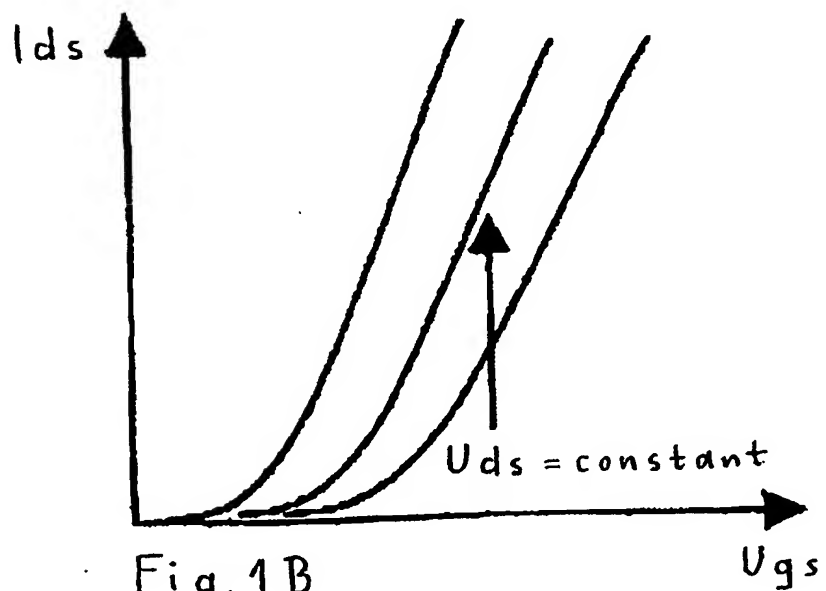


Fig. 1 B

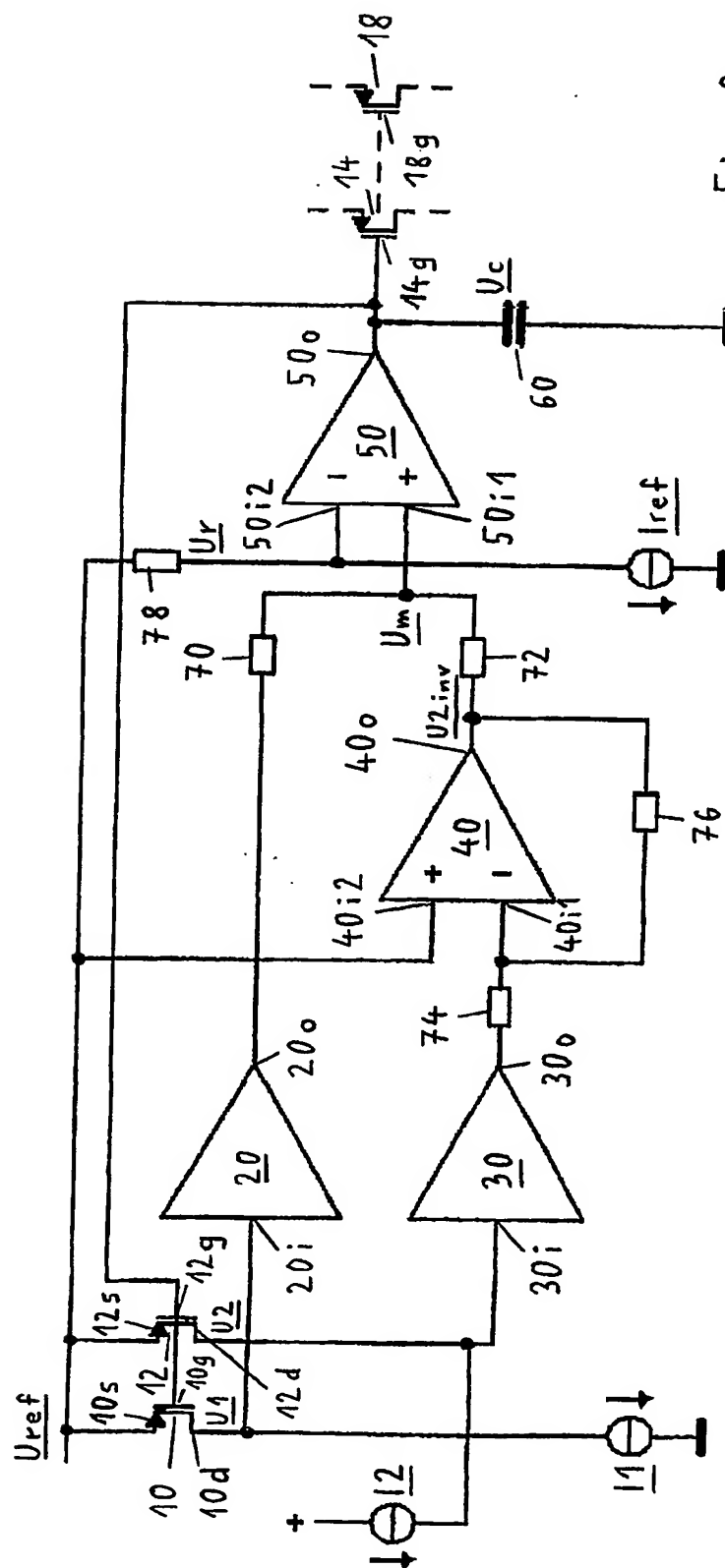


Fig. 2

PCT/IB2004/000752

